

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-157254

(43)Date of publication of application : 30.06.1988

(51)Int.Cl.

G06F 15/06

G06F 12/16

(21)Application number : 61-304458

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.12.1986

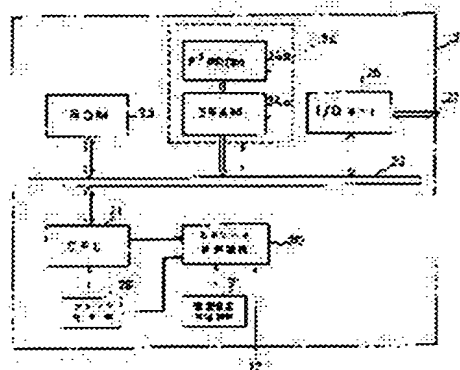
(72)Inventor : MASAKI SATORU

(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To protect the storage contents of a RAM when a power supply is cut off by transferring collectively data to an EEPROM from the RAM with stand-by start within the RAM.

CONSTITUTION: When the power supply voltage drops, a power supply voltage detecting circuit 31 detects this voltage drop and a stand-by control circuit 30 is started to send a control signal to a nonvolatile RAM 24. Then all storage contents of a RAM 24a storing various data within the RAM 24 are collectively transferred to a rewritable ROM 24b by the control signal. These storage contents are held although the power supply of a computer is completely cut off.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-157254

⑤ Int. Cl.⁴G 06 F 15/06
12/16

識別記号

3 2 0
3 4 0

庁内整理番号

P-7343-5B
Q-7737-5B

④ 公開 昭和63年(1988)6月30日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 シングルチップ・マイクロコンピュータ

⑭ 特 願 昭61-304458

⑮ 出 願 昭61(1986)12月20日

⑯ 発 明 者 正 木 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑱ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

シングルチップ・マイクロコンピュータ

2. 特許請求の範囲

少なくともCPU(21)、ROM(23)、RAMを内蔵しており、これらの各回路(21、23)の消費電流を低減して動作を停止させるスタンバイ制御回路(30)を有するコンプリメンタリーMOS構成のシングルチップ・マイクロコンピュータにおいて、

該CPU(21)でアクセス可能なRAM(24a)と該RAM(24a)に対応した書き換え可能なROM(24b)とで一括データ転送を行なう不揮発性RAM(24)を有し、

該スタンバイ制御回路(30)の起動により該CPU(21)でアクセス可能なRAM(24a)の記憶データを該書き換え可能なROM(24b)に一括して転送する構成としたことを特徴とするシングルチップ・マイクロコンピュータ。

3. 発明の詳細な説明

(概要)

本発明はマイクロコンピュータであって、不揮発性RAMを内蔵し、スタンバイ起動で不揮発性RAM内のCPUアクセス可能なRAMから書き換え可能なROMに一括データ転送を行なうことにより、電源遮断時のRAMの記憶内容を保護する。

(産業上の利用分野)

本発明はシングルチップ・マイクロコンピュータに関し、CPU、ROM、RAMを内蔵するシングルチップ・マイクロコンピュータに関する。

シングルチップ・マイクロコンピュータは集積回路1チップ内にCPU、ROM、RAM、I/Oポート等を全て内蔵している。

(従来技術)

従来より、シングルチップ・マイクロコンピュータの中にはコンプリメンタリーMOS(以下

「C-MOS」という)構成のマイクロコンピュータがある。

C-MOS構成のマイクロコンピュータでは、スタンバイ制御回路を設けることによってマイクロコンピュータの動作が必要ないとき、CPU、クロック発生器等の動作を停止させて、マイクロコンピュータの消費電流を通常動作時の数mAから数 μ Aに減少させている。

(発明が解決しようとする問題点)

しかるに、従来のシングルチップ・マイクロコンピュータでは、電源が完全に遮断した場合には、内蔵RAMの記憶内容が消失してしまう。

上記電源遮断時のRAM記憶内容を保護しようとした場合、マイクロコンピュータに不揮発性RAMを接続することが考えられる。不揮発性RAMとはスタティックRAMとエレクトリック・イレーザブル・ROMと有し、両者間でデータの転送が可能なメモリである。

しかし、上記の構成をとっても不揮発性RAM

と可能なROM(24b)とで一括データ転送を行なう不揮発性RAM(24)を有し、

スタンバイ制御回路(30)の起動によりCPU(21)でアクセス可能なRAM(24a)の記憶データを書き換え可能なROM(24b)に一括して転送する。

(作用)

本発明においては、電源電圧が低下したとき、その検出信号によってスタンバイ制御回路(30)が起動されると、不揮発性RAM(24)を構成しCPU(21)からアクセスされて各種データを記憶しているRAM(24a)の全記憶内容が同じく不揮発性RAMを構成する書き換え可能なROM(24b)に一括して転送され、マイクロコンピュータの電源が完全に遮断されても保持される。

(実施例)

第1図は本発明のシングルチップ・マイクロコ

内のスタティックRAMからエレクトリック・イレーザブル・ROMへのデータ転送には略10 μ secを要し、また上記データ転送の制御はマイクロコンピュータのCPUで行なわれなければならない。

電源電圧の低下を検出した後CPUでデータ転送制御信号を生成するにはある程度の時間を要し、これによって不揮発性RAM内のデータ転送を開始すると、このデータ転送が終了する前に電源電圧が0Vまで低下してしまい、スタティックRAMの記憶内容を保護できないおそれがあるという問題点があった。

本発明は、上記の点に鑑みてなされたものであり、電源遮断時のRAMの記憶内容を保護するシングルチップ・マイクロコンピュータを提供することを目的とする。

(問題点を解決するための手段)

本発明のシングルチップ・マイクロコンピュータは、CPU(21)でアクセス可能なRAM(24a)とRAM(24a)に対応した書き換

ンピュータのブロック系統図を示す。

同図中、マイクロコンピュータ20はC-MOS構成で、半導体1チップに構成されている。

マイクロコンピュータ20内のCPU21はバスライン22を介してROM23、不揮発性RAM24、I/Oポート25と接続されている。

CPU21はクロック発生器26よりクロック信号を供給されて動作を行ない、ROM23に格納されているプログラムを順次読み出して実行し、その実行の際に不揮発性RAM24にデータの書き込み及び読み出しを行ない、またI/Oポート25を介して入出力端子27よりデータの入出力を行なう。

上記の不揮発性RAM24はスタティックRAM(以下「SRAM」という)24aとエレクトリック・イレーザブル・プログラマブルROM(以下「E² PROM」という)24bとより構成されている。SRAM24aとE² PROM24bとは夫々の記憶領域が1対1に対応しており、両者間のデータ転送は一括して行なわれる。

ただしSRAM24aからE²PROM24bへのデータの書き込みは略10μsecを要し、E²PROM24bからSRAM24aへのデータの書き込みは略100μsecである。また、不揮発性RAM24内でCPU21が直接アクセス可能であるのはSRAM24aであり、E²PROM24bは書き換え可能な退避用の所謂シャドールームである。

スタンバイ制御回路30はCPU21よりスタンバイ起動要求があったとき、又は電源電圧検出回路31がマイクロコンピュータ20に供給される電源の電圧低下を検出した検出信号を供給されたときに起動する。スタンバイ制御回路30はシーケンサの一種であり、クロック信号よりスタンバイ起動を行なう制御信号を生成して不揮発性RAM24及びCPU21、クロック発生器26等のマイクロコンピュータ全回路夫々に供給する。

これによってSRAM24aのデータが一括してE²PROM24bに転送されて保持され、CPU21、クロック発生器26等の全回路はその

24bに転送される。また、CPU21は同図(E)に示す如く上記制御信号の立上がり時より停止(ホールド)状態となり、電源電圧がOVとなると非作動状態となる。

また、電源電圧が所定値V_{cc}となった後、端子32より第2図(F)に示す如きスタンバイ解除信号が入来すると、E²PROM24bのデータがSRAM24aに転送され、かつCPU21は作動を開始する。

このように、CPU21で不揮発性RAMのデータ転送制御信号を生成するのではなく、スタンバイ制御回路30で直接不揮発性RAM24のデータ転送制御信号を生成するので、電源が遮断されるまでにSRAM24aの全記憶内容をE²PROM24bに転送することが可能であり、SRAM24aの記憶内容を完全に保護できる。

また、C-MOS構成のシングルチップ・マイクロコンピュータに従来より内蔵されているスタンバイ制御回路30を利用しており、本願発明では実質的にE²PROM24bが増すだけで済み、

動作を一時停止する。また、スタンバイモードによってはクロック発生器26は動作を継続する場合もある。

また、スタンバイ制御回路30は、スタンバイ動作中に、端子32よりスタンバイ解除要求があったときスタンバイ解除を行なう制御信号を生成して不揮発性RAM24及びCPU21、クロック発生器26等の全回路夫々に供給する。

これによってCPU21、クロック発生器26等の全回路はその動作を再開し、E²PROM24bのデータが一括してSRAM24aに転送されてCPU21によるアクセスが可能となる。

ここで、マイクロコンピュータ20の動作中にその電源電圧が第2図(A)に示す如く変化したとき、電源電圧検出回路31は同図(B)に示す如き検出信号をスタンバイ制御回路30に供給する。このため、スタンバイ制御回路30は同図(C)に示す制御信号を不揮発性RAM24に供給し、不揮発性RAM24内で第2図(D)に示す如く、SRAM24aのデータがE²PROM

回路構成が簡単である。

なお、電源電圧検出回路31はシングルチップ・マイクロコンピュータ20の外部に接続しても良く、上記実施例に限定されない。

(発明の効果)

上述の如く、本発明のシングルチップ・マイクロコンピュータによれば、作動中に電源が遮断しても、RAMの記憶内容が消失することがなく、記憶内容を保護することができ、その回路構成が簡単で実用上極めて有用である。

4. 図面の簡単な説明

第1図は本発明のシングルチップ・マイクロコンピュータの一実施例のブロック系統図、

第2図は第1図示のマイクロコンピュータの動作説明用タイミングチャートである。

第1図において、

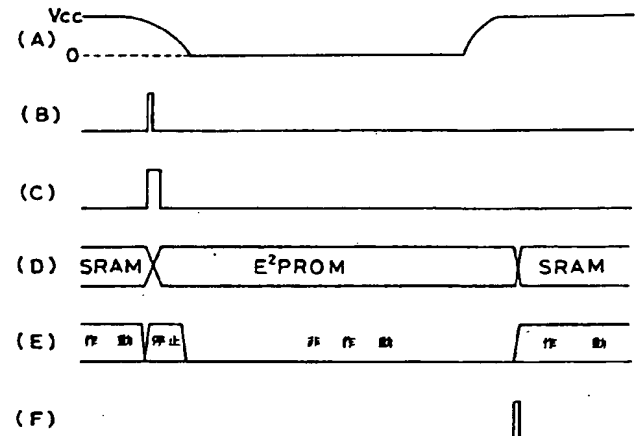
21はCPU、

24は不揮発性RAM、

24aはSRAM、

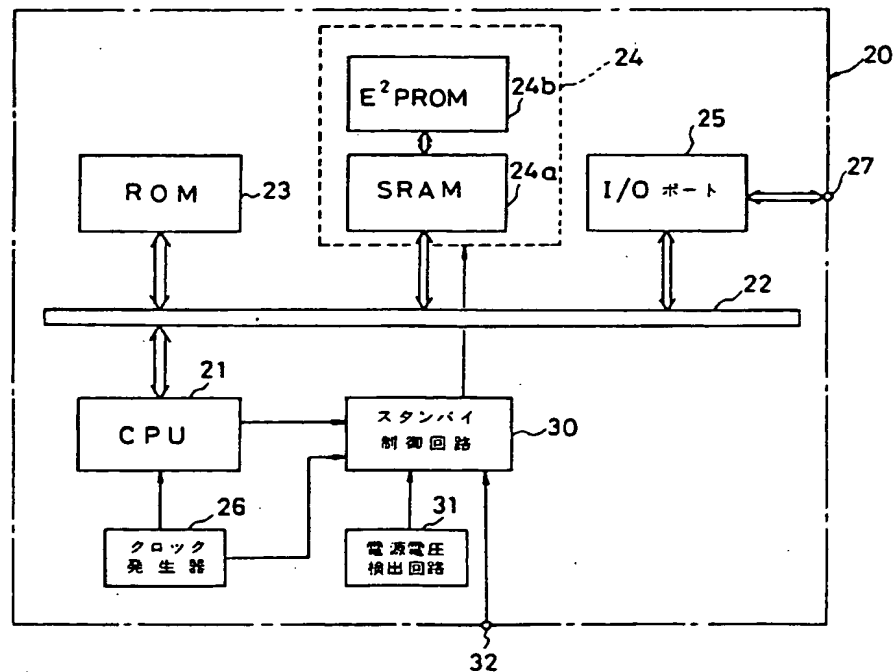
24bはE²PROM、
26はクロック発生器、
30はスタンバイ制御回路、
31は電源電圧検出回路である。

代理人 弁理士 井 根 貞 一



第1図示のマイクロコンピュータの動作説明用タイミングチャート

第 2 図



本発明マイクロコンピュータのブロック系統図

第 1 図